

PCT

世界知的所有権機関
国際事務局

特許協力条約に基づいて公開された国際出願



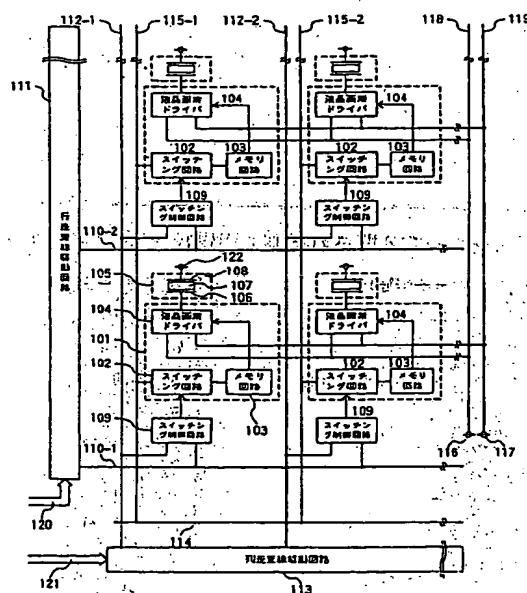
<p>(51) 国際特許分類6 G09G 3/36; G02F 1/133</p>	<p>A1</p>	<p>(11) 国際公開番号 WO00/08625</p> <p>(43) 国際公開日 2000年2月17日(17.02.00)</p>
<p>(21) 国際出願番号 PCT/JP99/04174</p> <p>(22) 国際出願日 1999年8月2日(02.08.99)</p> <p>(30) 優先権データ 特願平10/220737 1998年8月4日(04.08.98) JP 特願平10/255849 1998年9月9日(09.09.98) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-0811 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP)</p> <p>(72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 石井 良 (ISHII, Ryo)[JP/JP] 〒392-8502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP)</p> <p>(74) 代理人 鈴木喜三郎, 外 (SUZUKI, Kisaburo et al.) 〒392-8502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社 知的財産部内 Nagano, (JP)</p>		<p>(81) 指定国 CN, JP, KR, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)</p> <p>添付公開書類 国際調査報告書</p>

(54) Title: ELECTROOPTIC DEVICE AND ELECTRONIC DEVICE

(54) 発明の名称 電気光学装置及び電子機器

(57) Abstract

A switching control circuit (109) switches the modes of a memory circuit (103) in a pixel driver circuit (101) for either writing the data signal from column data lines (115-d) or holding the written data signal depending on whether row scanning lines (110-n) and column scanning lines (112-m) are selected or not. A pixel driver (104) applies a first voltage at a first voltage signal line (118) or a second voltage at a second voltage signal line (119) to pixels (105) depending on the data signal held in the memory circuit (103). Images are displayed by the potential difference between a reference voltage applied to the opposing electrodes of opposing substrates and the first or second voltage.



102 ... SWITCHING CIRCUIT 109 ... SWITCHING CONTROL CIRCUIT
103 ... MEMORY CIRCUIT 111 ... ROW SCAN DRIVER
104 ... LCD PIXEL DRIVER 113 ... COLUMN SCAN DRIVER

(57)要約

行走査線 (110-n) および列走査線 (112-m) の選択、非選択の状態により、スイッチング制御回路 (109) は、画素駆動回路 (101) 内のメモリ回路 (103) に対して、列データ線 (115-d) からのデータ信号の書き込みと、書き込まれたデータ信号の保持との切り替え制御を行う。前記メモリ回路 (103) に保持されたデータ信号に従って、画素ドライバ (104) は、第1の電圧信号線 (118) に供給される第1の電圧または第2の電圧信号線 (119) に供給される第2の電圧を画素 (105) に供給する。対向基板の対向電極には基準電圧が印加されており、前記第1の電圧または前記第2の電圧との電位差によって表示が行われる。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE アラブ首長国連邦
AL アルバニア
AM アルメニア
AT オーストラリア
AU オーストラリア
AZ アゼルバイジャン
BA ボスニア・ヘルツェゴビナ
BB バルバドス
BE ベルギー
BF ブルキナ・ファソ
BG ブルガリア
BJ ベナン
BR ブラジル
BY ベラルーシ
CA カナダ
CC 中央アフリカ
CD コンゴ
CH スイス
CI コートジボアール
CM カメルーン
CN 中国
CR コスタリカ
CY キプロス
CZ チェコ
DE ドイツ
DK デンマーク

DM ドミニカ
EE エストニア
ES スペイン
FI フィンランド
FR フランス
GA ガボン
GB 英国
GD グレナダ
GE ジョージア
GH ガーナ
GN ギニア
GW ギニア・ビサウ
GR ギリシャ
HR クロアチア
HU ハンガリー
ID インドネシア
IE アイルランド
IL イスラエル
IN インド
IS アイスランド
IT イタリア
JP 日本
KE ケニア
KG キルギスタン
KP 北朝鮮
KR 韓国

KZ カザフスタン
LC セントルシア
LI リヒテンシュタイン
LK スリランカ
LR リベリア
LS レソト
LT リトアニア
LU リルクセンブルグ
LV ラトヴィア
MA モロッコ
MC モナコ
MD モルドヴァ
MG マダガスカル
MK マケドニア旧ユーゴスラヴィア
共和国
ML マリ
MN モンゴル
MR モリタニア
MW マラウイ
MX メキシコ
NE ニジェール
NL オランダ
NO ノルウェー
NZ ニュージーランド
PL ポーランド
PT ポルトガル
RO ルーマニア

RU ロシア
SD スーダン
SE スウェーデン
SG シンガポール
SI スロヴェニア
SK スロヴァキア
SL シェラ・レオネ
SN セネガル
SZ スワジランド
TD チャド
TG トーゴ
TJ タジキスタン
TZ タンザニア
TM トルクメニスタン
TR トルコ
TT トリニダード・トバゴ
UA ウクライナ
UG ウガンダ
US 米国
UZ ウズベキスタン
VN ヴィエトナム
YU ユーゴスラビア
ZA 南アフリカ共和国
ZW ジンバブエ

明 細 書

電気光学装置及び電子機器

5 〔技術分野〕

本発明は、画素毎にメモリ回路と画素ドライバとからなる駆動回路を設け、メモリ回路に保持されたデータ信号によって画素の表示を制御する電気光学装置に関し、さらに、この電気光学装置を搭載したOA機器、携帯機器等の電子機器に関する。

10

〔背景技術〕

近年、携帯電話や携帯情報端末といった携帯機器等の情報表示デバイスとしては、電気光学装置の一例である液晶装置が特に用いられている。表示する情報の内容は、キャラクタ表示程度だったものから、一度に多くの情報を表示するためにドットマトリクス型の液晶パネルが用いられ、画素数も次第に多くなり高デューティとなってきた。

15

従来、上記のような携帯機器には表示デバイスとして単純マトリクス型液晶装置が用いられていたが、単純マトリクス型液晶装置ではマルチプレックス駆動を行う際に走査線の選択信号として高デューティになるほど高い電圧が必要となり、

20 、少しでも消費電力を減らしたいという要求の強いバッテリー駆動を行う携帯機器においては大きな問題となっていた。

20

こうした問題を解決するために、液晶パネルを構成する一对の基板の一方を半導体基板とし、半導体基板に図12に示すようなメモリ回路を画素毎に形成し、メモリ回路の保持データに基づいて表示制御を行うスタティック駆動型液晶装置が提案されている。以下、図12に基づいて従来のスタティック駆動型液晶装置の動作について説明する。

25

走査線駆動回路用制御信号418により走査線駆動回路410が制御され、選択された走査線409-n（nは走査線の数を示す自然数）に選択信号（走査信

号) が出力される。同様に、データ線駆動回路用制御信号 4 1 9 によりデータ線駆動回路 4 1 3 が制御され、選択されたデータ線対 4 1 1 - m、4 1 2 - m (m はデータ線の数を示す自然数) に互いに逆位相 (相補信号) となるようにデータ信号が供給される。

- 5 走査線 4 0 9 - n とデータ線対 4 1 1 - m、4 1 2 - m の交差点において、各線に接続された回路が画素を構成する。走査線 4 0 9 - n とデータ線対 4 1 1 - m、4 1 2 - m に接続された n チャンネル MOS 構造のスイッチング回路 4 0 1、4 0 2 は、走査線 4 0 9 - n が選択されて選択信号が供給されると導通状態となり、データ線対 4 1 1 - m、4 1 2 - m の相補のデータ信号をメモリ回路 4 0 3 に書き込む。ここでメモリ回路 4 0 3 は、2 個のインバータを帰還接続した構成となっている。次に、走査線 4 0 9 - n を非選択電位にし、データ線対 4 1 1 - m、4 1 2 - m をハイインピーダンスにすることにより、スイッチング回路 4 0 1、4 0 2 は非導通状態となり、メモリ回路 4 0 3 に書き込まれたデータ信号を保持する。
- 10 15 メモリ回路 4 0 3 内の第 1 のノードとその接続点の電位レベルの反転レベルにある第 2 のノードの電位レベルにより、2 つのトランスミッションゲート回路からなる液晶画素ドライバ 4 0 4 を制御する。第 1 のトランスミッションゲート回路は第 1 の電圧信号線 4 1 6 に接続されて、メモリ回路 4 0 3 に保持されたデータ信号のレベルに応じて導通し、第 1 の電圧 4 1 4 を画素電極 4 0 6 に印加する。
- 20 一方、第 2 のトランスミッションゲート回路は第 2 の電圧信号線 4 1 7 に接続されて、メモリ回路 4 0 3 に保持されたデータ信号のレベルに応じて導通し、第 2 の電圧 4 1 5 を画素電極 4 0 6 に印加する。具体的には、保持されたデータ信号が H レベルの場合は液晶画素ドライバ 4 0 4 の、ノーマリーホワイト表示の場合液晶層 4 0 7 をオン状態にさせる第 1 の電圧信号線 4 1 6 が導通状態となり、
- 25 液晶ドライバ 4 0 4 の第 1 のトランスミッションゲート回路を介して画素電極 4 0 6 に第 1 の電圧 4 1 4 が供給され、対向電極 4 0 8 に供給される基準電圧 4 2 0 との電位差により液晶画素 4 0 5 が黒表示状態となる。同様に、保持されたデータ信号が L レベルの場合は液晶層 4 0 7 をオフ状態にさせる第 2 の電圧信号線

4 1 7 が導通状態となり、液晶ドライバ 4 0 4 の第 2 のトランスミッションゲート回路を介して第 2 の電圧 4 1 5 が供給され液晶画素 4 0 5 が白表示状態となる。

このような構造とすることにより、電源電圧、第 1、第 2 の電圧信号および基準電圧ともロジック電圧だけで駆動でき、かつ画面表示の書き換えが必要ない場合はメモリ回路のデータ保持機能により表示状態を保持できるのでリーク電流以外ほとんど電流が流れず、消費電力を低減することが出来た。

しかしながら、従来のスタティック駆動型液晶装置にあつては、データ線対のデータ信号をデータ書き込み時には互いに逆位相の相補型信号とし、データ保持時にはハイインピーダンスに制御しなければならず、データ線の制御が非常に煩雑であり、回路構成も複雑となっていた。

[発明の開示]

本発明は以上のような課題を解決するものであり、本発明は消費電力が少なく、簡単な制御方法および簡単な制御回路構成の電気光学装置を提供することを目的とする。

本発明の電気光学装置は、基板に、互いに交差する複数の行走査線及び複数の列走査線と、前記列走査線に沿って配設された複数のデータ線と、電圧信号を供給する電圧信号線と、前記行走査線と前記列走査線の交差に対応して配置される複数の画素駆動回路とを有し、前記各画素駆動回路は、前記行走査線と前記列走査線の選択時には導通状態となり、前記行走査線と前記列走査線の少なくとも一方の非選択時には非導通状態となるスイッチング回路と、前記スイッチング回路が導通状態のときに前記データ線のデータ信号を取り込み、前記スイッチング回路が非導通状態のときにデータ信号を保持するメモリ回路と、前記メモリ回路に保持されたデータ信号が第 1 レベルの場合は画素に前記電圧信号線から第 1 の前記電圧信号を出力し、第 2 レベルの場合は画素に前記電圧信号線から第 2 の前記電圧信号を出力する画素ドライバとを備えることを特徴とする。

以上の本発明の構成によれば、電源電圧、第 1、第 2 の電圧信号および基準電

圧ともロジック電圧程度で駆動でき、かつ画面表示の書き換えが必要ない場合はメモリ回路のデータ保持機能により表示状態を保持できるのでほとんど電流が流れない。従って、液晶装置として比較すれば、従来の単純マトリクス型液晶装置に比べて消費電力が大幅に低減される。また、従来のスタティック駆動型液晶装置のようにデータ線対のデータ信号をデータ書き込み時には逆位相とし、データ保持時にはハイインピーダンスとするような煩雑な制御が必要なくなり、回路構成も簡単にできるという効果を有する。

さらに、上記本発明の電気光学装置においては、前記データ線毎に、前記列走査線の選択時には対応するデータ線にデータ信号を取り込み、非選択時には前記データ線のデータ信号を保持するラッチ回路を備えたことを特徴とする。この構成によれば、入力データ線に寄生する容量が選択されたデータ線のみとなり、入力データ線の信号の変化に伴う充放電電流が大幅に減り、消費電力が大幅に低減されるという効果を有する。

さらに、上記本発明の電気光学装置においては、前記画素に配置した画素電極が光反射型の電極であって、前記画素電極下に電氣的絶縁膜を介して前記画素駆動回路を配設したことを特徴とする。この構成によれば、1画素分の面積に占める画素駆動回路の面積によって画素の開口率が制限されていた従来の透明基板上にTFT (Thin Film Transistor) を形成したスタティック駆動型液晶装置に比べて、大幅に開口率が向上し、明るく読みやすい画面が得られるという効果を有する。

さらに、上記本発明の電気光学装置においては、前記行走査線と前記列走査線の選択時には、導通制御信号を、前記行走査線と前記列走査線の少なくとも一方が非導通時には非導通制御信号を前記スイッチング回路に出力する複数のスイッチング制御回路を備え、前記スイッチング制御回路は複数の前記画素駆動回路における前記スイッチング回路を制御することを特徴とする。この構成によれば、スイッチング制御回路を減らすことができ、かつ列走査線駆動回路の回路構成および制御も簡単にすることができる。また、短時間で画面全体の書き込み動作を完了でき消費電力が低減できるという効果を有する。

- さらに、上記本発明の電気光学装置においては、前記行走査線に行走査信号を供給するための行走査線駆動回路と、前記列走査線に列走査信号を供給するための列走査線駆動回路を備え、前記行走査線駆動回路と前記列走査線駆動回路の少なくとも一方が、シフトレジスタ回路により構成されることを特徴とする。この
- 5 構成によれば、走査線駆動回路の回路構成および制御を単純化できるという効果を有する。

- さらに、上記本発明の電気光学装置は、前記行走査線に行走査信号を供給するための行走査線駆動回路と、前記列走査線に列走査信号を供給するための列走査線駆動回路を備え、前記行走査線駆動回路と前記列走査線駆動回路の少なくとも
- 10 一方が、各走査線の本数に応じたビット数のアドレス信号で、該当する走査線を選択するデコーダ回路により構成されることを特徴とする。この構成によれば、画面の一部分の表示だけを書き換えたい場合、目的とする画素のみの画素駆動回路を制御してデータ信号を書き換えることが可能となり、消費電力を大幅に低減することができるという効果を有する。

- 15 さらに、上記本発明の電気光学装置は、当該電気光学装置における回路素子構造がCMOS構造であることを特徴とする。この構成によれば、データ保持期間のリーク電流が無くなり消費電力をさらに低減することができるという効果を有する。

- また、本発明の電子機器は、上記した本発明の電気光学装置を備えたことを特徴とする。この構成によれば、バッテリー駆動をする際に従来の単純マトリクス型液晶装置を用いた電子機器に比べて大幅な長寿命化を実現することができ、かつ従来のスタティック駆動型液晶装置に比べて簡便な制御方法および制御回路構成にできるという効果を有する。
- 20

25 【図面の簡単な説明】

図1は本発明の第1の実施形態に基づく電気光学装置の画素及びその駆動回路などの要部を示すブロック図。

図2は本発明の第1の実施形態に基づく電気光学装置の駆動回路をCMOSト

ランジスタで構成した回路図。

図3は本発明の第2の実施形態に基づく電気光学装置の画素及びその駆動回路などの要部を示すブロック図。

図4は本発明の第2の実施形態に基づく電気光学装置の駆動回路をCMOSTランジスタで構成した回路図。

図5は本発明の第3の実施形態に基づく電気光学装置の画素及びその駆動回路などの要部を示すブロック図。

図6は本発明の第3の実施形態に基づく電気光学装置の駆動回路をCMOSTランジスタで構成した回路図。

図7は本発明の第4の実施形態に基づく電気光学装置の画素及びその駆動回路などの要部を示すブロック図。

図8は本発明の第4の実施形態に基づく電気光学装置の駆動回路をCMOSTランジスタで構成した回路図。

図9は本発明の第1乃至第4の実施形態に基づく電気光学装置の走査線駆動回路をCMOSTランジスタ構成のシフトレジスタ回路で構成した回路図。

図10は本発明の第1乃至第4の実施形態に基づく電気光学装置の走査線駆動回路をCMOSTランジスタ構成のデコーダ回路で構成した回路図。

図11は本発明の第5の実施形態に基づく電子機器を示す図。

図12は従来のスタティック駆動型液晶装置を示す図。

図13は液晶装置の平面図。

図14は図13の液晶装置における断面図。

(符号の説明)

101・・・液晶画素駆動回路

102・・・スイッチング回路

103・・・メモリ回路

104・・・液晶画素ドライバ

105・・・液晶画素

106・・・画素電極

- 1 0 7 . . . 液晶層
- 1 0 8 . . . 対向電極
- 1 0 9 . . . スイッチング制御回路
- 1 1 0 . . . 行走査線
- 5 1 1 1 . . . 行走査線駆動回路
- 1 1 2 . . . 列走査線
- 1 1 3 . . . 列走査線駆動回路
- 1 1 4 . . . 入力データ線
- 1 1 5 . . . 列データ線
- 10 1 1 6 . . . 第 1 の電圧
- 1 1 7 . . . 第 2 の電圧
- 1 1 8 . . . 第 1 の電圧信号線
- 1 1 9 . . . 第 2 の電圧信号線
- 1 2 0 . . . 行走査線駆動回路用制御信号
- 15 1 2 1 . . . 列走査線駆動回路用制御信号
- 1 2 2 . . . 基準電圧
- 2 0 1 . . . ラッチ回路
- 3 0 1 . . . 表示部
- 3 0 2 . . . 携帯電話

20

[発明を実施するための最良の形態]

以下、本発明の実施形態を図面に基づいて説明する。

(第 1 の実施形態)

図 1 は、本発明の第 1 の実施形態の電気光学装置である液晶装置における画素
25 及びその駆動回路などの要部を示すブロック図である。図 2 は、図 1 の詳細な回
路図である。

図 1 において、画素領域には、行走査線 1 1 0 - n (n は行走査線の行を示す
自然数) と列走査線 1 1 2 - m (m は列走査線の列を示す自然数) がマトリクス

状に配置され、互いの走査線の交差点に各画素の駆動回路が構成される。また、画素領域には列走査線 112-m に沿って入力データ線 114 から分岐した列データ線 115-d (d は列データ線の列を示す自然数) も配置される。画素領域の行側の周辺領域には行走査線駆動回路 111 が配置され、画素領域の列側の周

5 辺領域には列走査線駆動回路 113 が配置される。

行走査線駆動回路用制御信号 120 により行走査線駆動回路 111 が制御され、選択された行走査線 110-n には選択信号 (走査信号) が出力される。選択されない行走査線は非選択電位に設定される。同様に、列走査線駆動回路用制御信号 121 により列走査線駆動回路 113 が制御され、選択された列走査線 112-m に選択信号が出力され、非選択の列走査線は非選択電位に設定される。い

10 ずれの行走査線及びいずれの列走査線を選択するかは制御信号 120, 121 により決められる。つまり、制御信号 120, 121 は選択画素を指定するアドレス信号である。

選択された行走査線 110-n と選択された列走査線 112-m の交差点に対応してその近傍に配置されるスイッチング制御回路 109 は、両走査線を選択信号を受けてオン信号 (導通制御信号) を出力し、行走査線 110-n と列走査線 112-m の少なくとも一方が非選択となるとオフ信号 (非導通制御信号) を出力する。すなわち、選択された行走査線と列走査線の交差点に位置する画素のスイッチング制御回路 109 のみからオン信号が出力され、他のスイッチング制御回路 109 からはオフ信号が出力される。本実施形態では、このスイッチング制御回路

20 109 のオン、オフ信号により液晶画素駆動回路 101 を制御する。

次に、液晶画素駆動回路 101 の構成および動作を説明する。

スイッチング回路 102 はスイッチング制御回路 109 のオン信号により導通状態となり、オフ信号により非導通状態となる。スイッチング回路 102 は導通状態となると、そこに接続されている列データ線 115-d のデータ信号をスイッチング回路 102 を介してメモリ回路 103 に書き込む。一方、スイッチング回路 102 はスイッチング制御回路 109 のオフ信号により非導通状態となりメモリ回路 103 に書き込まれたデータ信号を保持する。

25

メモリ回路103に保持されたデータ信号は、画素毎に配置される液晶画素ドライバ104に供給される。液晶画素ドライバ104は供給されたデータ信号のレベルに応じて、第1の電圧信号線118に供給される第1の電圧116、又は第2の電圧信号線119に供給される第2の電圧117のいずれかを液晶画素105の画素電極106に供給する。本発明において、画素とは電氣的に光変調や発光等の光学的な作用をなす電気光学材料、或いはそれに対して電氣的な作用を与える画素毎の画素電極を指す。第1の電圧116は、液晶装置がノーマリーホワイト表示の場合に、液晶画素105を黒表示状態とする電圧であり、一方第2の電圧117は液晶画素105を白表示状態とする電圧である。

メモリ回路103に保持されたデータ信号がHレベルの場合は、液晶画素ドライバ104において、ノーマリーホワイト表示の場合液晶を黒表示させる第1の電圧信号線118に接続されるゲートが導通状態となり、画素電極106に第1の電圧116が供給され、対向電極108に供給される基準電圧122との電位差により液晶画素105が黒表示状態となる。同様に、保持されたデータ信号がLレベルの場合は、液晶画素ドライバ104において第2の電圧信号線119に接続されるゲートが導通状態となり、画素電極106に第2の電圧117が供給され液晶画素105が白表示状態となる。

以上の構成により、電源電圧、第1、第2の電圧信号および基準電圧ともロジック電圧程度で駆動でき、かつ画面表示の書き換えが必要ない場合はメモリ回路のデータ保持機能により表示状態を保持できるのでほとんど電流が流れない。また、行と列の2つの走査線の選択信号の論理により画素への書き込みを制御する構成として、データ線の電位とは無関係に画素を制御できるようにしたので、従来のスタティック駆動型液晶装置のように2本のデータ線のデータ信号をデータ書き込み時には逆位相（相補データ信号）に設定して書き込み、データ保持時にはデータ線をハイインピーダンスとしてデータ線に接続されたトランジスタを非導通とするような煩雑な制御が必要なくなる。

なお、液晶画素105は、保持されたデータ信号に応じて液晶画素ドライバ104から出力された第1の電圧116或いは第2の電圧117のいずれか一方が

選択されて供給される画素電極 106 が画素毎に設けられ、この画素電極 106 と対向電極 108 との間に介在する液晶層 107 に両電極の電位差が印加され、この電位差に応じた液晶分子の配向変化に応じて黒表示状態（オン表示状態ともいう）もしくは白表示状態（オフ表示状態ともいう）となる。液晶装置は、半導体基板とガラス等の光透過性基板との間に液晶を封入して挟持し、半導体基板に、マトリクス状に画素電極を配置し、その画素電極の下方に上記液晶画素駆動回路、行走査線、列走査線、データ線、行走査線駆動回路、列走査線駆動回路などを形成する。半導体基板には MOS 構造の移動度の高い相補型のトランジスタが形成でき、且つ多層配線構造が容易にできるので、このトランジスタや多層配線を用いて上記各種回路を構成することができる。各画素は、画素電極 106 と、対向する光透過性基板の内面に形成された対向電極 108 との間に画素毎に電圧を印加して、その間に介在される画素毎の液晶層 107 に電圧供給し、液晶分子の配向を各画素毎に変化させる。

このとき、液晶画素 105 の画素電極 106 を、金属や誘電体多層膜等の光反射型の電極として構成し、液晶画素電極下の半導体基板に電氣的絶縁膜を介して液晶画素駆動回路 101 を配設する構成とすれば、大幅に開口率が向上する。すなわち、従来では、透明基板上に TFT を用いて各液晶画素駆動回路が構成されており、光透過領域とはならない液晶画素駆動回路が 1 画素面積内に占める面積分によって液晶画素の開口率が制限されていたが、それに比べて本発明では画素電極と液晶画素駆動回路が積層構造となっており、液晶画素駆動回路の上に 1 画素の全面積にほぼ近い反射型画素電極を配置できるので、大幅に開口率が向上し、明るく読みやすい画面が得られる。

図 1 の列走査線駆動回路 113 は、図 9 に示すようなシフトレジスタ回路で構成することができる。図 9 において、正論理（H レベルがアクティブレベル）の走査信号 121-1 とクロック信号 121-2 の 2 信号からなる列走査線駆動回路用制御信号 121 が入力され、クロック信号 121-2 に同期して順次列走査線 112-m を負論理（L レベルのときアクティブレベル）で選択することができる。すなわち、クロック信号 121-2 は CMOS トランジスタ構成のインバ

ータ 1 1 3-6 で反転された信号とともに、シフトレジスタ回路の制御信号として用いられ、走査信号 1 2 1-1 はクロック信号 1 2 1-2 の立ち上がりで初段の CMOS トランジスタ構成のクロックドインバータ 1 1 3-1 により取り込まれ、CMOS トランジスタ構成のインバータ 1 1 3-3 により反転され、クロック信号 1 2 1-2 の立ち下がりで 2 個の CMOS トランジスタ構成のクロックドインバータ 1 1 3-2、1 1 3-4 により、出力を帰還して走査信号を保持する動作と走査信号の次段への転送動作が行われ、順次走査信号が転送されていく。CMOS トランジスタ構成の NAND ゲート回路 1 1 3-5 は 2 つの隣接段の出力の論理積を行い、選択信号を出力する。NAND ゲート回路 1 1 3-5 は選択信号 1 1 2-m と 1 1 2-m+1 の出力位相が互いに重ならないように設けられている。この構成によると、走査線は順次選択されることとなる。

同じく行走査線駆動回路 1 1 1 も、図 9 と同様なシフトレジスタ回路で構成すれば、2 つの走査線駆動回路の回路構成および制御を単純化することができる。

また、列走査線駆動回路 1 1 3 は図 1 0 に示すような走査線の本数に応じたビット数 (AX0, /AX0, ~AX7, /AX7) のデコーダ回路で構成することができる。アドレス信号からなる列走査線駆動回路用制御信号 1 2 1 を入力するデコーダ回路構成とし、制御信号 1 2 1 を CMOS トランジスタ構成の NAND ゲート回路 1 1 3-7 によりデコードして該当する列走査線 1 1 2-m を選択し、選択信号を出力することができる。このような構成によると、アドレス信号に応じて任意の走査線に選択信号を出力することができ、各画素をランダムアクセスすることが可能となる。

同じく行走査線駆動回路 1 1 1 も、図 1 0 と同様なデコーダ回路で構成すれば、画面の一部分の表示だけを書き換えたい場合、目的とする画素のみの液晶画素駆動回路を制御してデータ信号を書き換えることが可能となる。本発明においては、各画素にはメモリ回路 1 0 3 が設けられており、スイッチング回路 1 0 2 が行と列の走査線を選択信号により導通されない限りは、メモリ回路 1 0 3 に書き込まれたデータ信号を保持するので、書き換えたい画素のみをアクセスして書き換えることが可能となる。

なお、図2に示すように本実施形態において、スイッチング制御回路109はCMOSトランジスタ構成のNORゲート回路109-1とCMOSトランジスタ構成のインバータ109-2の論理回路により構成することができる。NORゲート回路109-1は2入力とも負論理の選択信号が入力された時に正論理のオン信号を出力し、インバータ109-2により負論理のオン信号を出力する。

また、スイッチング回路102はCMOSトランジスタ構成のトランスミッションゲート102-1により構成することができる。トランスミッションゲート102-1はスイッチング制御回路109のオン信号に基づいて導通して列データ線115とメモリ回路103を繋ぎ、オフ信号に基づいて非導通となる。メモリ回路103はCMOSトランジスタ構成のクロックインバータ103-1とCMOSトランジスタ構成のインバータ103-2を帰還接続した構成とすることができる。データ信号はスイッチング制御回路109のオン信号によりスイッチング回路102からメモリ回路103に取り込まれ、インバータ103-2により反転され、スイッチング制御回路109のオフ信号により動作するクロックインバータ103-1により出力を帰還してデータ信号を保持する。液晶画素ドライバ104は2個のCMOSトランジスタ構成のトランスミッションゲート104-1、104-2により構成することができる。メモリ回路103に保持されたデータ信号がHレベルの場合は、液晶画素ドライバ104において、ノーマリーホワイト表示の場合液晶を黒表示させる第1の電圧信号線118に接続されるトランスミッションゲート104-1が導通状態となり、画素電極106に第1の電圧116が供給され、対向電極108に供給される基準電圧122との電位差により液晶画素105が黒表示状態となる。同様に、保持されたデータ信号がLレベルの場合は、第2の電圧信号線119に接続されるトランスミッションゲート104-2が導通状態となり、画素電極106に第2の電圧117が供給され液晶画素105が白表示状態となる。

さらに、以上のように構成された液晶装置の全体構成を図13及び図14を参照して説明する。尚、図13は、液晶装置用基板10をその上に形成された各構成要素と共に対向基板20の側から見た平面図であり、図14は、対向基板20

を含めて示す図13のH-H'断面図である。

図13において、例えば半導体基板からなる液晶装置用基板10の上には、シール材52がその縁に沿って設けられており、その内側に並行して、画素領域の周辺には非画素領域を囲む遮光膜（額縁）53が設けられている。シール材52の外側の領域には、列走査線駆動回路113及び実装端子102が液晶装置用基板10の一辺に沿って設けられており、行走査線駆動回路111が、この一辺に隣接する2辺に沿って設けられている。行走査線110に供給される行走査信号の遅延が問題にならないのならば、行走査線駆動回路111は片側だけでも良い。また、対向基板20はガラス等の透明基板からなるものであって、対向基板20のコーナ一部の少なくとも1箇所においては、液晶装置用基板10と対向基板20との間で電氣的導通をとるための導通材106が設けられている。対向基板20は、シール材52により液晶装置用基板10に固着されている。そして、この一对の基板10、20により形成された間隙に、液晶107が封入されている。液晶107は、ツイステッドネマチック（TN）型、垂直配向型、捩じれの無い水平配向型、強誘電型等の双安定型、高分子分散型、等の種々の液晶を用いることができる。図14において、106は、液晶装置用基板10上の画素領域にマトリクス状に配置された画素電極、22は対向基板20に形成されたブラックマトリクス（これは無くしても構わない）、108は対向基板20に形成されたITOからなる対向電極である。なお、液晶装置用基板20上に対向するように画素電極106及び対向電極108を配置して、液晶107に横電界を印加するようにしてもよい。さらに、液晶装置用基板10は、半導体基板でなくとも、ガラス基板を用い、基板上に形成したシリコン層からなる薄膜トランジスタに基づいて画素駆動回路を構成するようにして、本発明の電気光学装置を構成しても構わない。

25 なお、以降の各実施形態においても、液晶装置の構成は、図13及び図14と同様となる。

〔第2の実施形態〕

図3は、本発明の第2の実施形態の電気光学装置である液晶装置における画素及びその駆動回路などの要部を示すブロック図であり、図4はその詳細な回路図である。

本実施形態は図3に示すとおり、第1の実施形態で示した図1のブロック図に
5 列データ線115が入力データ線114から分岐する点に配置されるラッチ回路201を加えた構成となる。本実施形態において特段説明しない構成は、第1の実施形態と同一な構成である。

ラッチ回路201は、列走査線112-mが選択時には、対応する列データ線
115-dに入力データ線114からデータ信号を取り込み、非選択時には列デ
10 ータ線115-dのデータ信号を保持する。

以上の構成により、入力データ線114に寄生する容量を、選択されているラッチ回路201に繋がった列データ線115の容量だけにすることができ、消費電力を大幅に低減できる。

なお、本実施形態は図4に示すとおり、第1の実施形態で示した図2の回路図
15 に、ラッチ回路201を加えた構成となる。ラッチ回路201はCMOSトランジスタ構成のクロックインバータ201-1、201-2とCMOSトランジスタ構成のインバータ201-3の論理回路により構成することができる。列走査線112-mの選択信号はCMOSトランジスタ構成のインバータ202で反転された信号とともに、ラッチ回路201の制御用信号として用いられる。入力
20 データ線114から入力されたデータ信号は列走査線112-mの選択信号の立ち下がりで初段のクロックインバータ201-1により取り込まれ、インバータ201-3により反転され、列走査線112-mの選択信号の立ち上がりでクロックインバータ201-2により、出力を帰還してデータ信号を保持する動作が行われる。

25

〔第3の実施形態〕

図5は、本発明の第3の実施形態の電気光学装置である液晶装置の画素及びその駆動回路などの要部を示すブロック図である。図6はその詳細な回路図である。

。本実施形態は図5に示すとおり、同時入力データ信号を2ビットとした構成となる。本実施形態において特段説明しない構成は、第1の実施形態と同一な構成である。

- 5 画素領域には、行走査線 $1\ 1\ 0 - n$ (n は行走査線の行を示す自然数)と列走査線 $1\ 1\ 2 - m$ (m は列走査線の列を示す自然数)がマトリクス状に配置され、互いの走査線の交差点に各画素の駆動回路が構成される。また、画素領域には列走査線 $1\ 1\ 2 - m$ に沿って、同時入力データビット数分の2本の入力データ線 $1\ 1\ 4$ から分岐した列データ線 $1\ 1\ 5 - d$ (d は列データ線の列を示す自然数)も配置される。画素領域の行側の周辺領域には行走査線駆動回路 $1\ 1\ 1$ が配置され、画素領域の列側の周辺領域には列走査線駆動回路 $1\ 1\ 3$ が配置される。

- 行走査線駆動回路用制御信号 $1\ 2\ 0$ により行走査線駆動回路 $1\ 1\ 1$ が制御され、選択された行走査線 $1\ 1\ 0 - n$ には選択信号が出力される。選択されない行走査線は非選択電位に設定される。同様に、列走査線駆動回路用制御信号 $1\ 2\ 1$ により列走査線駆動回路 $1\ 1\ 3$ が制御され、選択された列走査線 $1\ 1\ 2 - m$ に選択信号が出力され、非選択の列走査線は非選択電位に設定される。いずれの行走査線及びいずれの列走査線を選択するかは制御信号 $1\ 2\ 0$ 、 $1\ 2\ 1$ により決められる。つまり、制御信号 $1\ 2\ 0$ 、 $1\ 2\ 1$ は選択画素を指定するアドレス信号である。

- 20 選択された行走査線 $1\ 1\ 0 - n$ と選択された列走査線 $1\ 1\ 2 - m$ の交差点近傍に配置されるスイッチング制御回路 $1\ 0\ 9$ は、両走査線の選択信号を受けてオン信号を出力し、行走査線 $1\ 1\ 0 - n$ と列走査線 $1\ 1\ 2 - m$ の少なくとも一方が非選択となるとオフ信号を出力する。すなわち、選択された行走査線と列走査線の交差点に位置する画素のスイッチング制御回路 $1\ 0\ 9$ のみからオン信号が出力され、他のスイッチング制御回路からはオフ信号が出力される。本実施形態では、
25 1個のスイッチング制御回路 $1\ 0\ 9$ のオン、オフ信号により2個の液晶画素駆動回路 $1\ 0\ 1$ を制御する。

次に、液晶画素駆動回路 $1\ 0\ 1$ の構成および動作を説明する。

スイッチング回路102はスイッチング制御回路109のオン信号により導通状態となり、オフ信号により非導通状態となる。スイッチング回路102は導通状態となると、そこに接続されている列データ線115-dのデータ信号をスイッチング回路102を介してメモリ回路103に書き込む。一方、スイッチング

5 回路102はスイッチング制御回路109のオフ信号により非導通状態となりメモリ回路103に書き込まれたデータ信号を保持する。

メモリ回路103に保持されたデータ信号は、画素毎に配置される液晶画素ドライバ104に供給される。液晶画素ドライバ104は供給されたデータ信号のレベルに応じて、第1の電圧信号線118に供給される第1の電圧116、又は
10 第2の電圧信号線119に供給される第2の電圧117のいずれかを液晶画素105の画素電極106に供給する。第1の電圧116は、液晶装置がノーマリーホワイト表示の場合に、液晶画素105を黒表示状態とする電圧であり、一方第2の電圧117は液晶画素105を白表示状態とする電圧である。

メモリ回路103に保持されたデータ信号がHレベルの場合は、液晶画素ドライバ104において、ノーマリーホワイト表示の場合液晶を黒表示させる第1の
15 電圧信号線118に接続されるゲートが導通状態となり、画素電極106に第1の電圧116が供給され、対向電極108に供給される基準電圧122との電位差により液晶画素105が黒表示状態となる。同様に、保持されたデータ信号がLレベルの場合は、液晶画素ドライバ104において第2の電圧信号線119に
20 接続されるゲートが導通状態となり、画素電極106に第2の電圧117が供給され液晶画素105が白表示状態となる。

以上の構成により、電源電圧、第1、第2の電圧信号および基準電圧ともロジック電圧程度で駆動でき、かつ画面表示の書き換えが必要ない場合はメモリ回路のデータ保持機能により表示状態を保持できるのでほとんど電流が流れない。また、行と列の2つの走査線の選択信号の論理により画素への書き込みを制御する
25 構成として、データ線の電位とは無関係に画素を制御できるようにしたので、従来のスタティック駆動型液晶装置のように2本のデータ線のデータ信号をデータ書き込み時には逆位相（相補データ信号）に設定して書き込み、データ保持時に

はデータ線をハイインピーダンスとしてデータ線に接続されたトランジスタを非導通とするような煩雑な制御が必要なくなる。さらに、1つのスイッチング制御回路109で2つの液晶画素駆動回路101を同時に制御する構成としたので、スイッチング制御回路109を半分に減らすことができ、かつ列走査線駆動回路113の回路構成も簡単にすることができる。

なお、液晶画素105は、保持されたデータ信号に応じて液晶画素ドライバ104から出力された第1の電圧116或いは第2の電圧117のいずれか一方が選択されて供給される画素電極106が画素毎に設けられ、この画素電極106と対向電極108との間に介在する液晶層107に両電極の電位差が印加され、この電位差に応じた液晶分子の配向変化に応じて黒表示状態（オン表示状態ともいう）もしくは白表示状態（オフ表示状態ともいう）となる。液晶装置は、半導体基板とガラス等の光透過性基板との間に液晶を封入して挟持し、半導体基板に、マトリクス状に画素電極を配置し、その画素電極の下方に上記液晶画素駆動回路、行走査線、列走査線、データ線、行走査線駆動回路、列走査線駆動回路などを形成する。半導体基板にはMOS構造の移動度の高い相補型のトランジスタが形成でき、且つ多層配線構造が容易にできるので、このトランジスタや多層配線を用いて上記各種回路を構成することができる。各画素は、画素電極106と、対向する光透過性基板の内面に形成された対向電極108との間に画素毎に電圧を印加して、その間に介在される画素毎の液晶層107に電圧供給し、液晶分子の配向を各画素毎に変化させる。

このとき、液晶画素105の画素電極106を、金属や誘電体多層膜等の光反射型の電極として構成し、液晶画素電極下の半導体基板に電氣的絶縁膜を介して液晶画素駆動回路101を配設する構成とすれば、大幅に開口率が向上する。すなわち、従来では、透明基板上にTFTを用いて各液晶画素駆動回路が構成されており、光透過領域とはならない液晶画素駆動回路が1画素面積内に占める面積分によって液晶画素の開口率が制限されていたが、それに比べて本発明では画素電極と液晶画素駆動回路が積層構造となっており、液晶画素駆動回路の上に1画素の全面積にほぼ近い反射型画素電極を配置できるので、大幅に開口率が向上し

、明るく読みやすい画面が得られる。

図5の列走査線駆動回路113は、図9に示すようなシフトレジスタ回路で構成することができる。図9において、正論理（Hレベルがアクティブレベル）の走査信号121-1とクロック信号121-2の2信号からなる列走査線駆動回路用制御信号121が入力され、クロック信号121-2に同期して順次列走査線112-mを負論理（Lレベルのときアクティブレベル）で選択することができる。すなわち、クロック信号121-2はCMOSトランジスタ構成のインバータ113-6で反転された信号とともに、シフトレジスタ回路の制御信号として用いられ、走査信号121-1はクロック信号121-2の立ち上がりで初段のCMOSトランジスタ構成のクロックドインバータ113-1により取り込まれ、CMOSトランジスタ構成のインバータ113-3により反転され、クロック信号121-2の立ち下がりで2個のCMOSトランジスタ構成のクロックドインバータ113-2、113-4により、出力を帰還して走査信号を保持する動作と走査信号の次段への転送動作が行われ、順次走査信号が転送されていく。

CMOSトランジスタ構成のNANDゲート回路113-5は2つの隣接段の出力の論理積を行い、選択信号を出力する。NANDゲート回路113-5は選択信号112-mと112-m+1の出力位相が互いに重ならないように設けられている。この構成によると、走査線は順次選択されることとなる。

同じく行走査線駆動回路111も、図9と同様なシフトレジスタ回路で構成すれば、2つの走査線駆動回路の回路構成および制御を単純化することができる。

また、列走査線駆動回路113は図10に示すような走査線の本数に応じたビット数（AX0，／AX0，～AX7，／AX7）のデコーダ回路で構成することができる。アドレス信号からなる列走査線駆動回路用制御信号121を入力するデコーダ回路構成とし、制御信号121をCMOSトランジスタ構成のNANDゲート回路113-7によりデコードして該当する列走査線112-mを選択し、選択信号を出力することができる。このような構成によると、アドレス信号に応じて任意の走査線に選択信号を出力することができ、各画素をランダムアクセスすることが可能となる。

同じく行走査線駆動回路111も、図110と同様なデコーダ回路で構成すれば、画面の一部分の表示だけを書き換えたい場合、目的とする画素のみの液晶画素駆動回路を制御してデータ信号を書き換えることが可能となる。本発明においては、各画素にはメモリ回路103が設けられており、スイッチング回路102が行と列の走査線の選択信号により導通されない限りは、メモリ回路103に書き込まれたデータ信号を保持するので、書き換えたい画素のみをアクセスして書き換えることが可能となる。

なお、図6に示すように本実施形態において、スイッチング制御回路109はCMOSトランジスタ構成のNORゲート回路109-1とCMOSトランジスタ構成のインバータ109-2の論理回路により構成することができる。NORゲート回路109-1は2入力とも負論理の選択信号が入力された時に正論理のオン信号を出力し、インバータ109-2により負論理のオン信号を出力する。また、スイッチング回路102はCMOSトランジスタ構成のトランスミッションゲート102-1により構成することができる。トランスミッションゲート102-1はスイッチング制御回路109のオン信号に基づいて導通して列データ線115とメモリ回路103を繋ぎ、オフ信号に基づいて非導通となる。メモリ回路103はCMOSトランジスタ構成のクロックドインバータ103-1とCMOSトランジスタ構成のインバータ103-2を帰還接続した構成とすることができる。データ信号はスイッチング制御回路109のオン信号によりスイッチング回路102からメモリ回路103に取り込まれ、インバータ103-2により反転され、スイッチング制御回路109のオフ信号により動作するクロックドインバータ103-1により出力を帰還してデータ信号を保持する。液晶画素ドライバ104は2個のCMOSトランジスタ構成のトランスミッションゲート104-1、104-2により構成することができる。メモリ回路103に保持されたデータ信号がHレベルの場合は、液晶画素ドライバ104において、ノーマリーホワイト表示の場合液晶を黒表示させる第1の電圧信号線118に接続されるトランスミッションゲート104-1が導通状態となり、画素電極106に第1の電圧116が供給され、対向電極108に供給される基準電圧122との電

位差により液晶画素 105 が黒表示状態となる。同様に、保持されたデータ信号が L レベルの場合は、第 2 の電圧信号線 119 に接続されるトランスミッションゲート 104-2 が導通状態となり、画素電極 106 に第 2 の電圧 117 が供給され液晶画素 105 が白表示状態となる。

- 5 本実施形態では同時入力データ信号を 2 ビットとしたが、これに限定するものではない。例えば、カラー表示を行う際に RGB 3 色分のデータ信号を同時に入力するために、同時入力データ信号を 3 ビットとしても良い。

〔第 4 の実施形態〕

- 10 図 7 は、本発明の第 4 の実施形態の電気光学装置である液晶装置における画素及びその駆動回路などの要部を示すブロック図である。図 8 はその詳細な回路図である。

- 本実施形態は図 7 に示すとおり、第 3 の実施形態で示した図 5 のブロック図に、列データ線 115 が入力データ線 114 から分岐する点に配置されるラッチ回路 201 を加えた構成となる。本実施形態において特段説明しない構成は、第 3
- 15 の実施形態と同一な構成である。

ラッチ回路 201 は、列走査線 112-m が選択時には対応する列データ線 115-d に入力データ線 114 からデータ信号を取り込み、非選択時には列データ線 115-d のデータ信号を保持する。

- 20 以上の構成により、入力データ線 114 に寄生する容量を、選択されているラッチ回路 201 に繋がった列データ線 115 の容量だけにすることができ、消費電力を大幅に低減できる。

- なお、本実施形態は図 8 に示すとおり、第 3 の実施形態で示した図 6 の回路図に、ラッチ回路 201 を加えた構成となる。ラッチ回路 201 は CMOS トランジスタ構成のクロックインバータ 201-1、201-2 と CMOS トランジスタ構成のインバータ 201-3 の論理回路により構成することができる。列走査線 112-m の選択信号は CMOS トランジスタ構成のインバータ 202 で反転された信号とともに、ラッチ回路 201 の制御用信号として用いられる。入力
- 25

- データ線 1 1 4 から入力されたデータ信号は列走査線 1 1 2 - m の選択信号の立ち下がりで初段のクロックインバータ 2 0 1 - 1 により取り込まれ、インバータ 2 0 1 - 3 により反転され、列走査線 1 1 2 - m の選択信号の立ち上がりでクロックインバータ 2 0 1 - 2 により、出力を帰還してデータ信号を保持する動作が行われる。

本実施形態では同時入力データ信号を 2 ビットとしたが、これに限定するものではない。例えば、カラー表示を行う際に RGB 3 色分のデータ信号を同時に入力するために、同時入力データ信号を 3 ビットとしても良い。

10 【第 5 の実施形態】

図 1 1 に、以上の第 1 乃至第 4 の実施形態による本発明の電気光学装置を携帯電話に用いた例を示す。携帯電話 3 0 2 の表示部 3 0 1 として本発明の液晶装置を用いた。

- 以上の構成により、バッテリー駆動をする際に従来の単純マトリクス型液晶装置を用いた電子機器に比べて大幅な長寿命化を実現することができ、かつ従来のスタティック駆動型液晶装置に比べて簡便な制御方法および制御回路構成にできる。

- 本実施形態では携帯電話を例にとったが、これに限定するものではない。例えば、本発明の電気光学装置は、時計、ページャー、プロジェクタといった各種電子機器にも適用できる。プロジェクタの場合は、本発明の電子光学装置を光変調装置として用いることになる。

- なお、本発明の電気光学装置は、上述した各実施形態に限られるものではなく、本願明細書の全体から読み取れる発明の要旨或いは思想に反しない範囲で適宜変更可能であり、そのような変更を伴う電気光学装置もまた本発明の技術的範囲に含まれるものである。

例えば、各実施形態においては、電気光学装置として液晶装置を用いて説明したが、画素を液晶画素に代えて、他の電気光学部材に置き換えた電気光学装置に

も適用できる。液晶装置以外の電気光学装置としては、各画素毎にミラーを配置してそのミラーの角度を画像信号に応じて可変するデジタル・マイクロミラー・デバイス (DMD) や、プラズマ・ディスプレイ・パネル (PDP)、フィールド・エミッション・ディスプレイ (FED)、エレクトロ・ルミネッセンス (EL) 等の発光素子を各画素に備えた自発光型表示装置でもよい。但し、このよう

5 な電気光学装置では、画素回路が形成された単一の基板のみで構成されることがあったり、半導体基板ではなくガラス基板を用いる場合があったりするが、このような構造であっても本発明を適用することは可能である。

請求の範囲

- (1) 基板に、互いに交差する複数の行走査線及び複数の列走査線と、前記列走査線に沿って配設された複数のデータ線と、電圧信号を供給する電圧信号線と、
5 前記行走査線と前記列走査線の交差に対応して配置される複数の画素駆動回路とを有し、

前記各画素駆動回路は、

- 前記行走査線と前記列走査線の選択時には導通状態となり、前記行走査線と前記列走査線の少なくとも一方の非選択時には非導通状態となるスイッチング回路
10 と、前記スイッチング回路が導通状態のときに前記データ線のデータ信号を取り込み、前記スイッチング回路が非導通状態のときにデータ信号を保持するメモリ回路と、前記メモリ回路に保持されたデータ信号が第1レベルの場合は画素に前記電圧信号線から第1の前記電圧信号を出力し、第2レベルの場合は画素に前記電圧信号線から第2の前記電圧信号を出力する画素ドライバとを備える

- 15 ことを特徴とする電気光学装置。

(2) 前記データ線毎に、前記列走査線の選択時には対応するデータ線にデータ信号を取り込み、非選択時には前記データ線のデータ信号を保持するラッチ回路を備えたことを特徴とする請求項1記載の電気光学装置。

- (3) 前記画素に配置した画素電極が光反射型の電極であって、前記画素電極
20 下に電氣的絶縁膜を介して前記画素駆動回路を配設したことを特徴とする請求項1乃至2のいずれかに記載の電気光学装置。

- (4) 前記行走査線と前記列走査線の選択時には、導通制御信号を、前記行走査線と前記列走査線の少なくとも一方が非導通時には非導通制御信号を前記スイッチング回路に出力する複数のスイッチング制御回路を備え、前記スイッチング
25 制御回路は複数の前記画素駆動回路における前記スイッチング回路を制御することを特徴とする請求項1乃至3のいずれかに記載の電気光学装置。

(5) 前記行走査線に行走査信号を供給するための行走査線駆動回路と、前記

列走査線に列走査信号を供給するための列走査線駆動回路を備え、前記行走査線駆動回路と前記列走査線駆動回路の少なくとも一方が、シフトレジスタ回路により構成されることを特徴とする請求項1乃至4のいずれかに記載の電気光学装置。

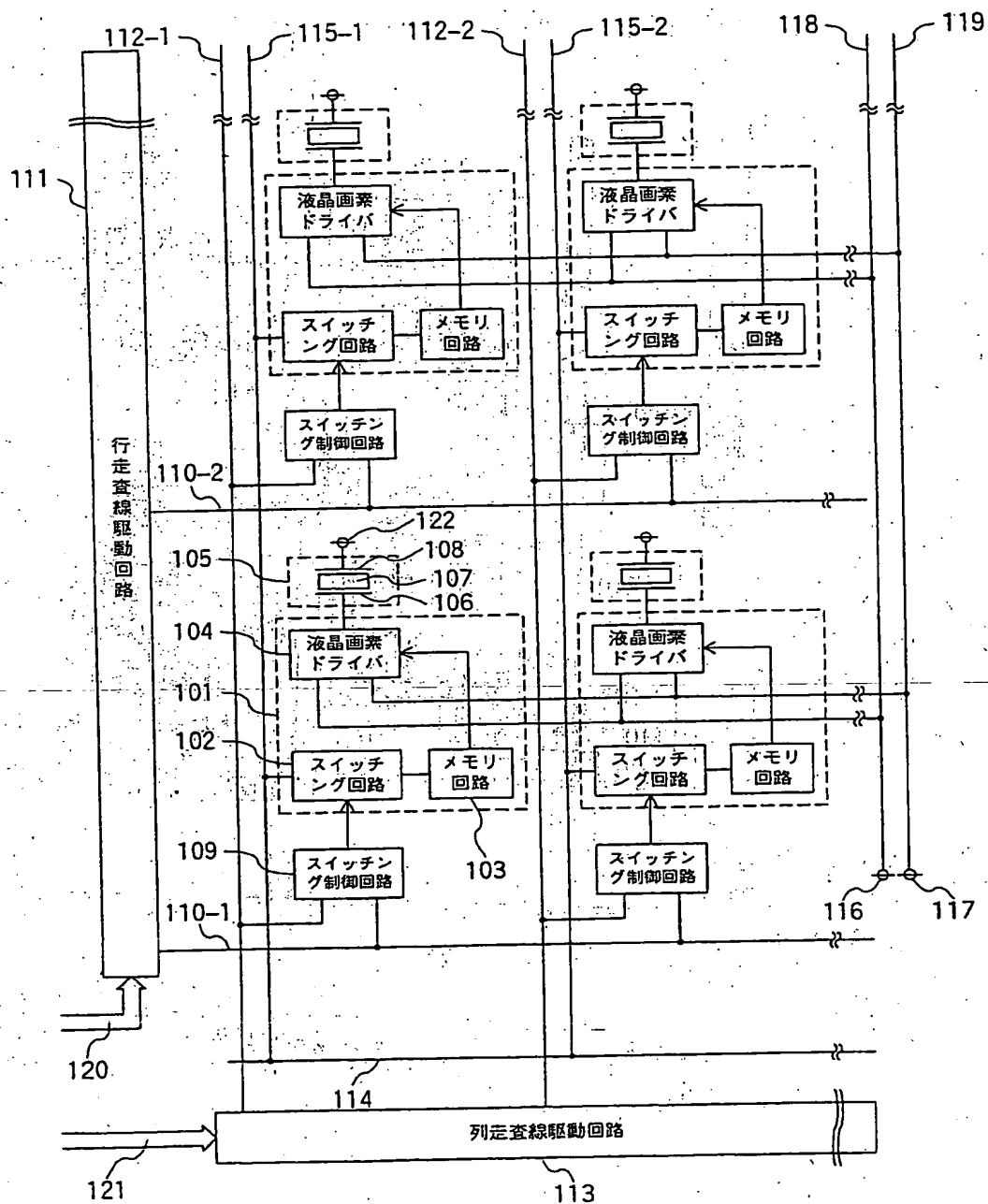
- 5 (6) 前記行走査線に行走査信号を供給するための行走査線駆動回路と、前記列走査線に列走査信号を供給するための列走査線駆動回路を備え、前記行走査線駆動回路と前記列走査線駆動回路の少なくとも一方が、走査線の本数に応じたビット数のアドレス信号で、該当する走査線を選択するデコーダ回路により構成されることを特徴とする請求項1乃至4のいずれかに記載の電気光学装置。

- 10 (7) 前記電気光学装置の回路素子構造がCMOS構造であることを特徴とする請求項1乃至6のいずれかに記載の電気光学装置。

- (8) 請求項1乃至7のいずれかに記載の電気光学装置を備えたことを特徴とする電子機器。

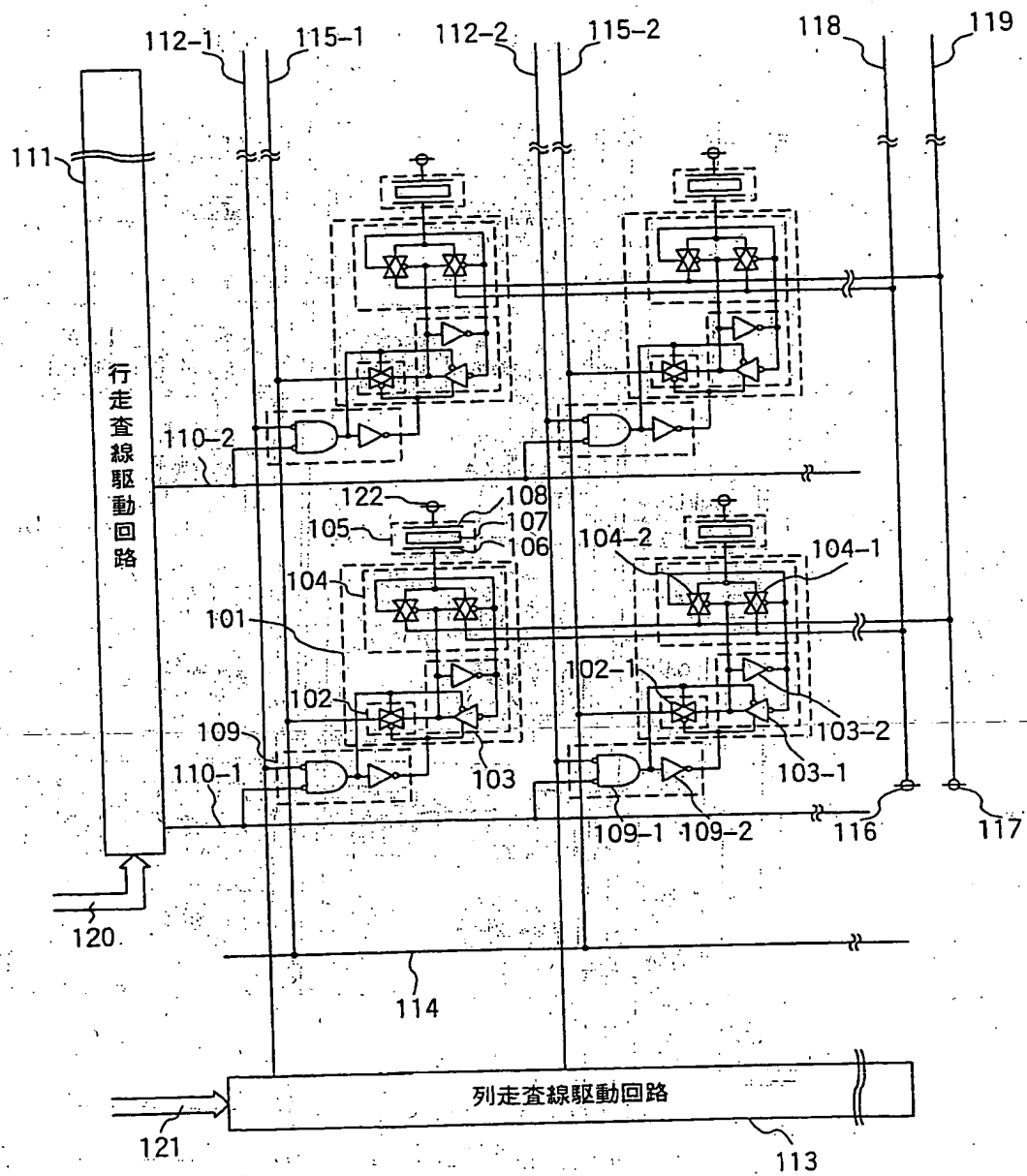
1/13

Fig. 1



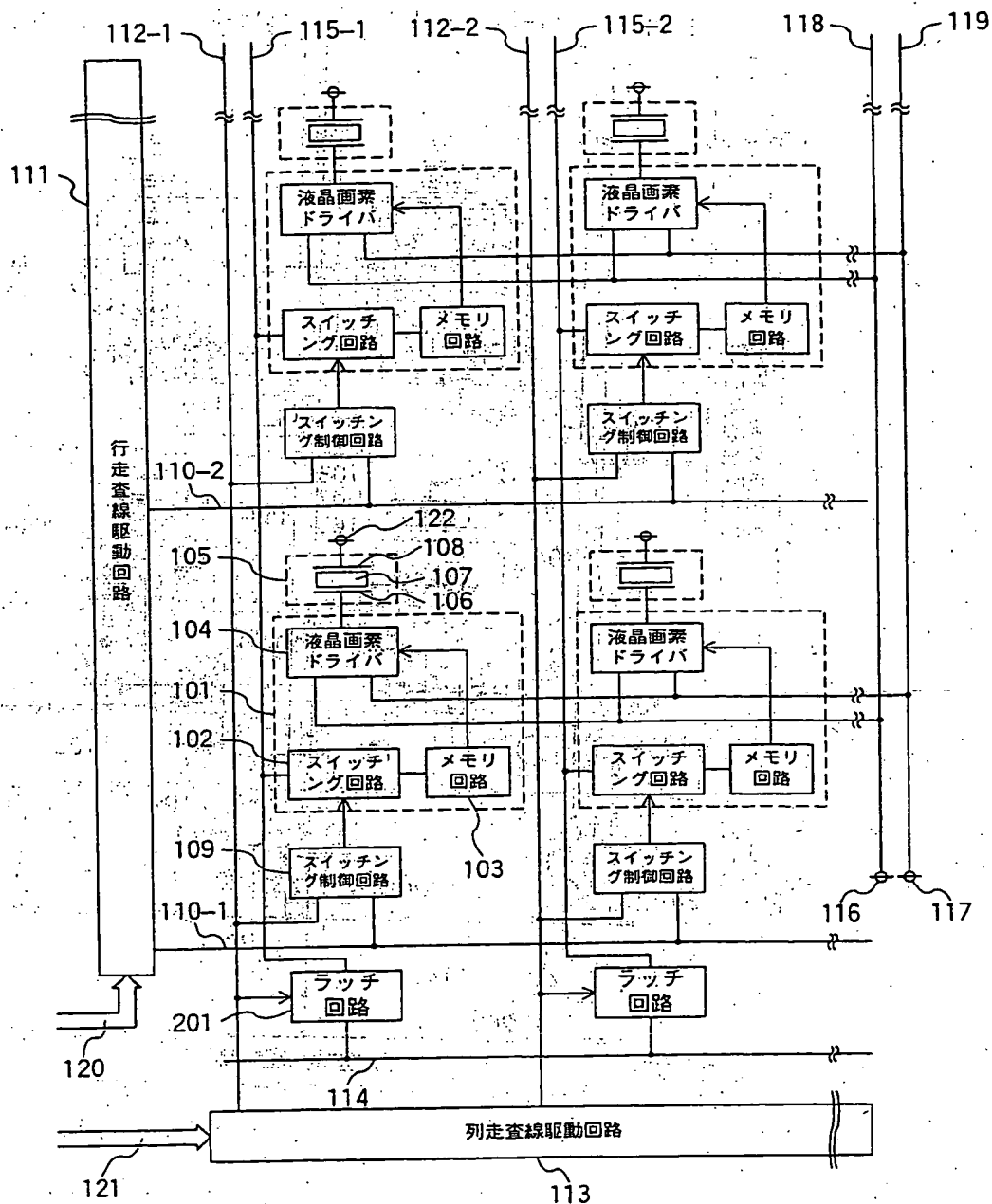
2/13

Fig. 2



3/13

Fig. 3



5/13

Fig. 5

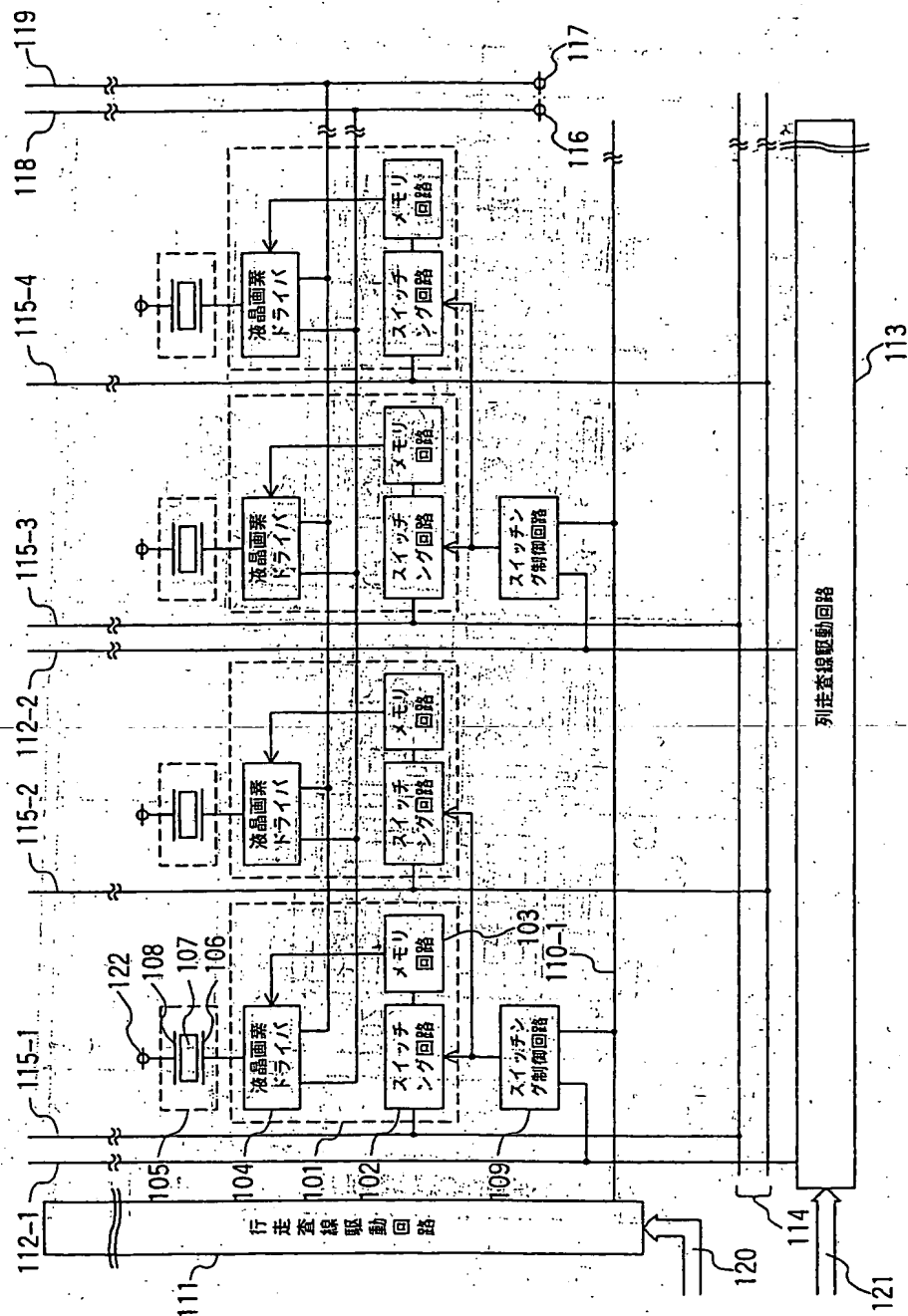
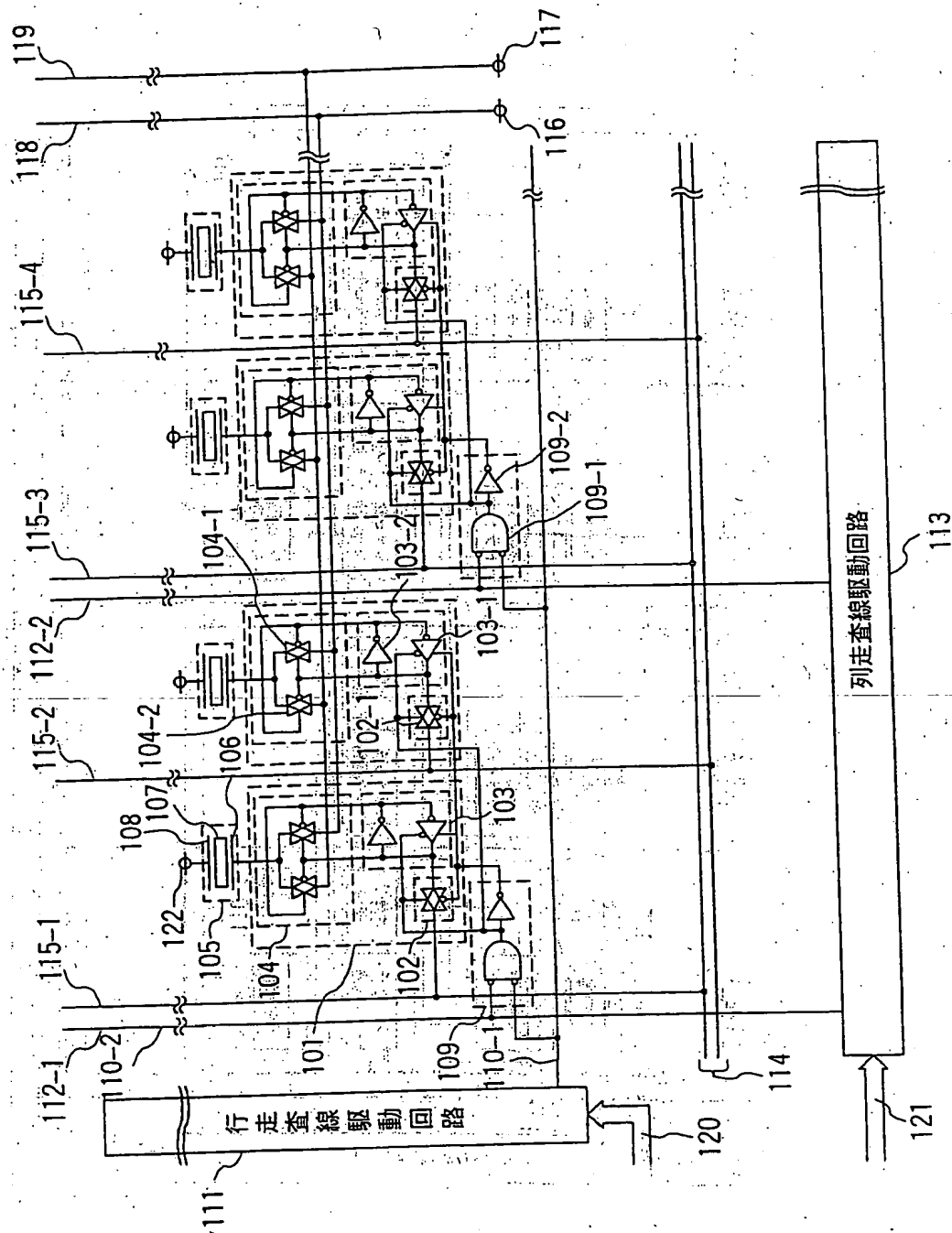
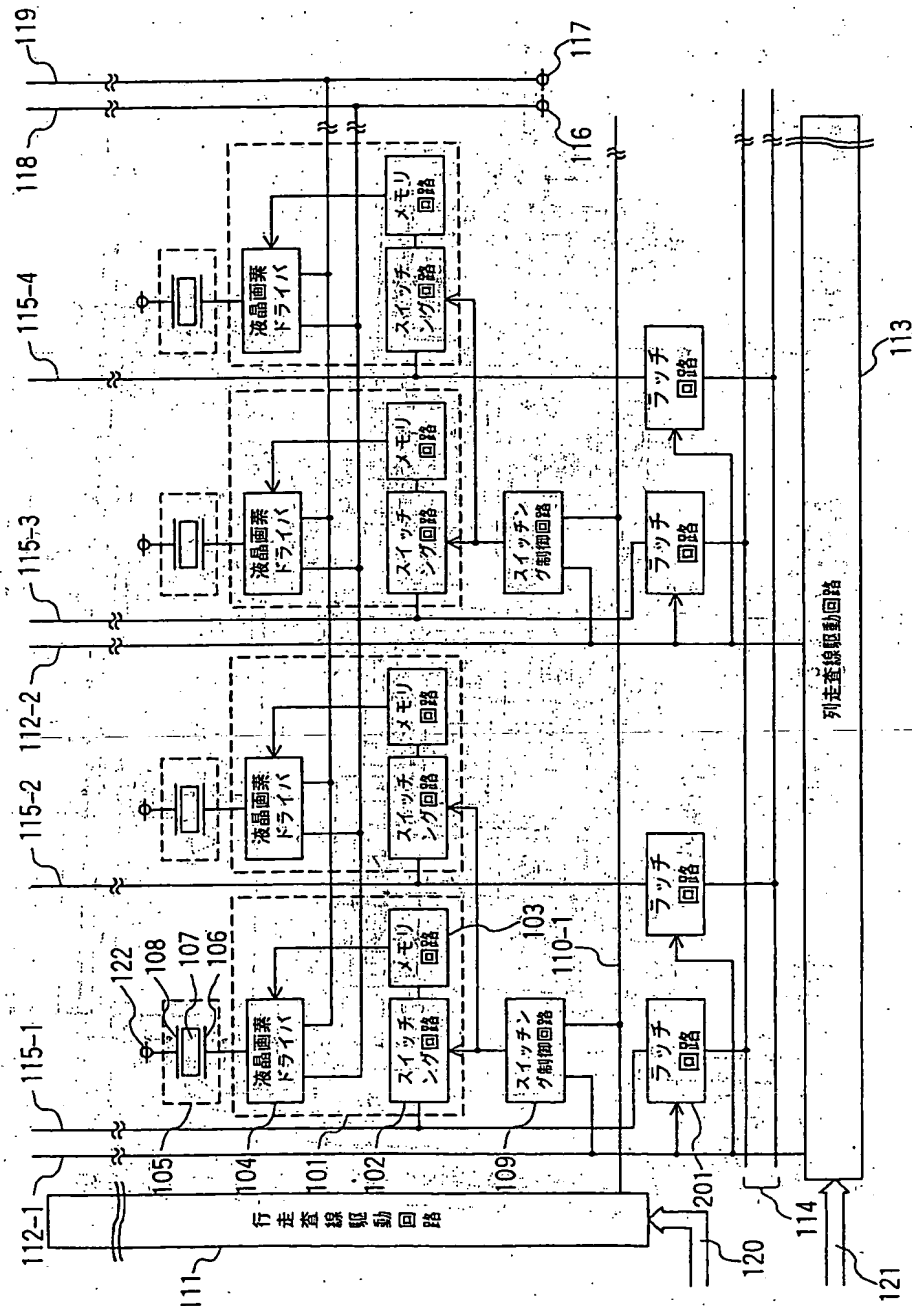


Fig. 6



7/13

Fig. 7



8/13
Fig. 8

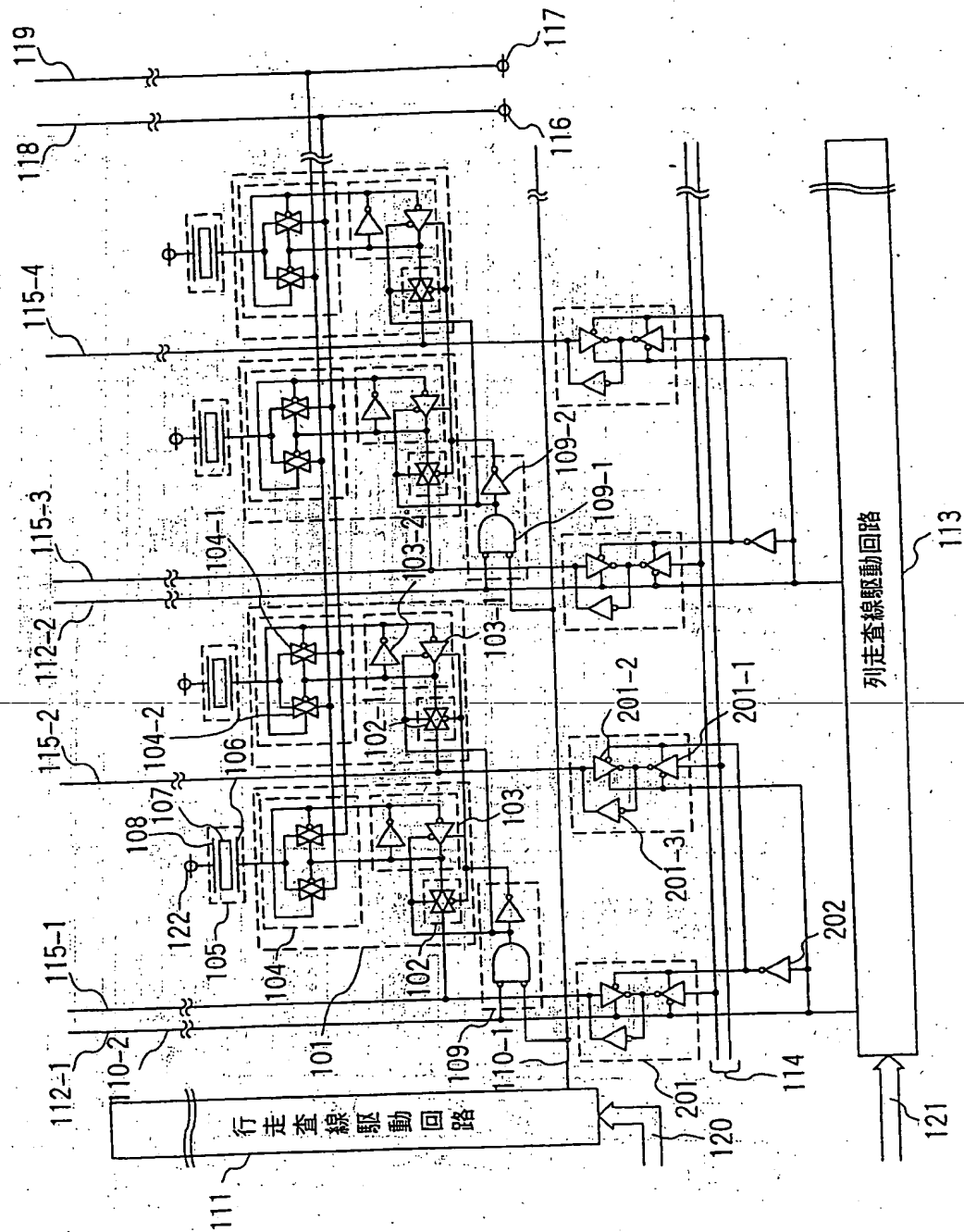
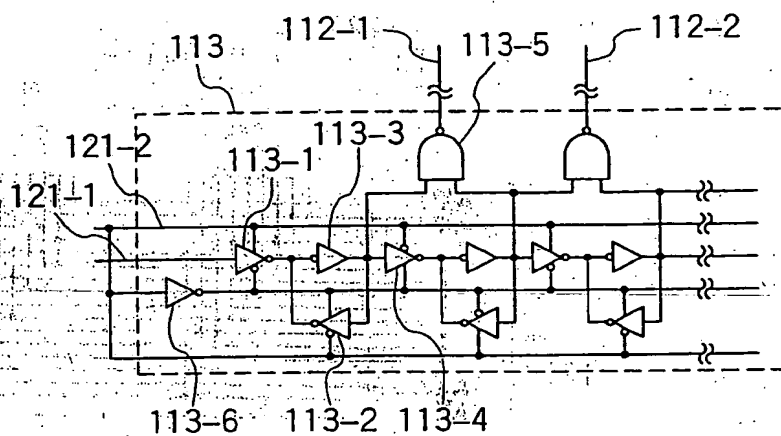
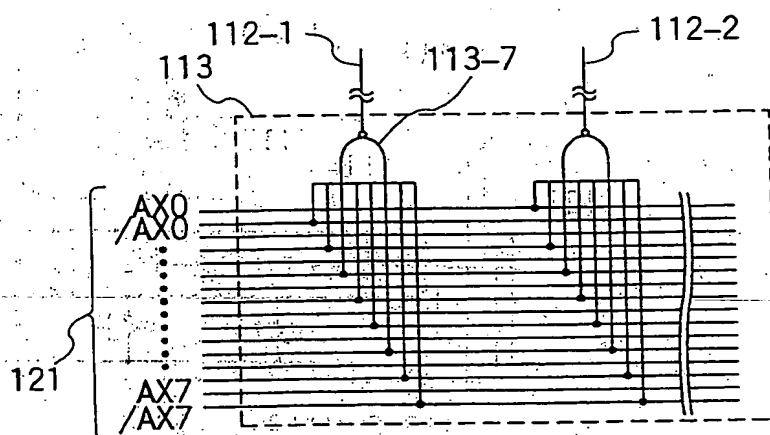


Fig. 9



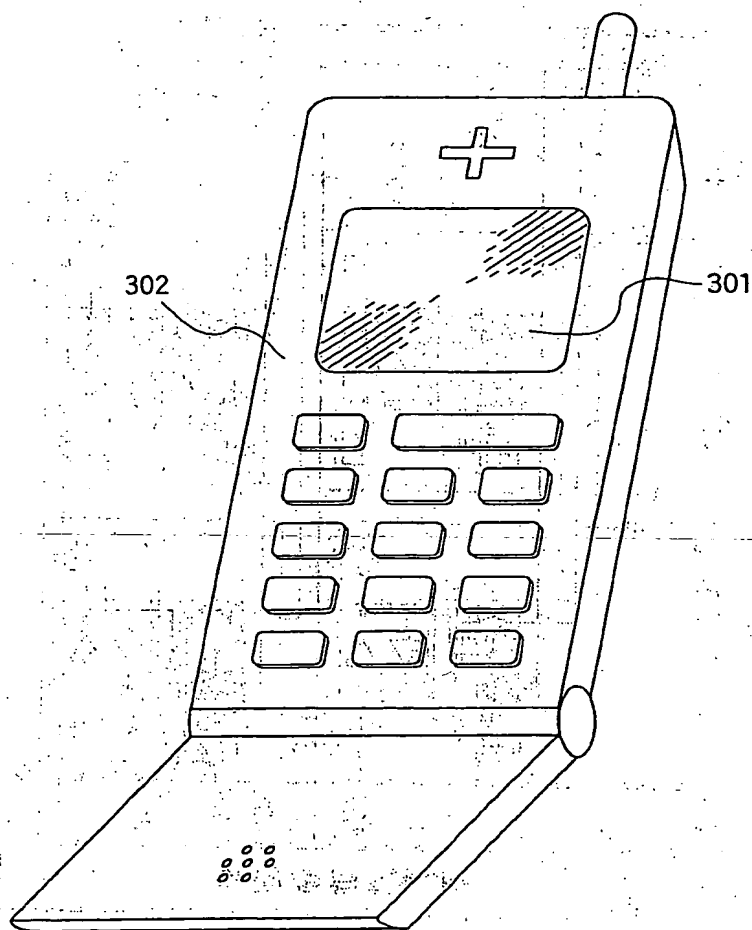
10/13

Fig. 10



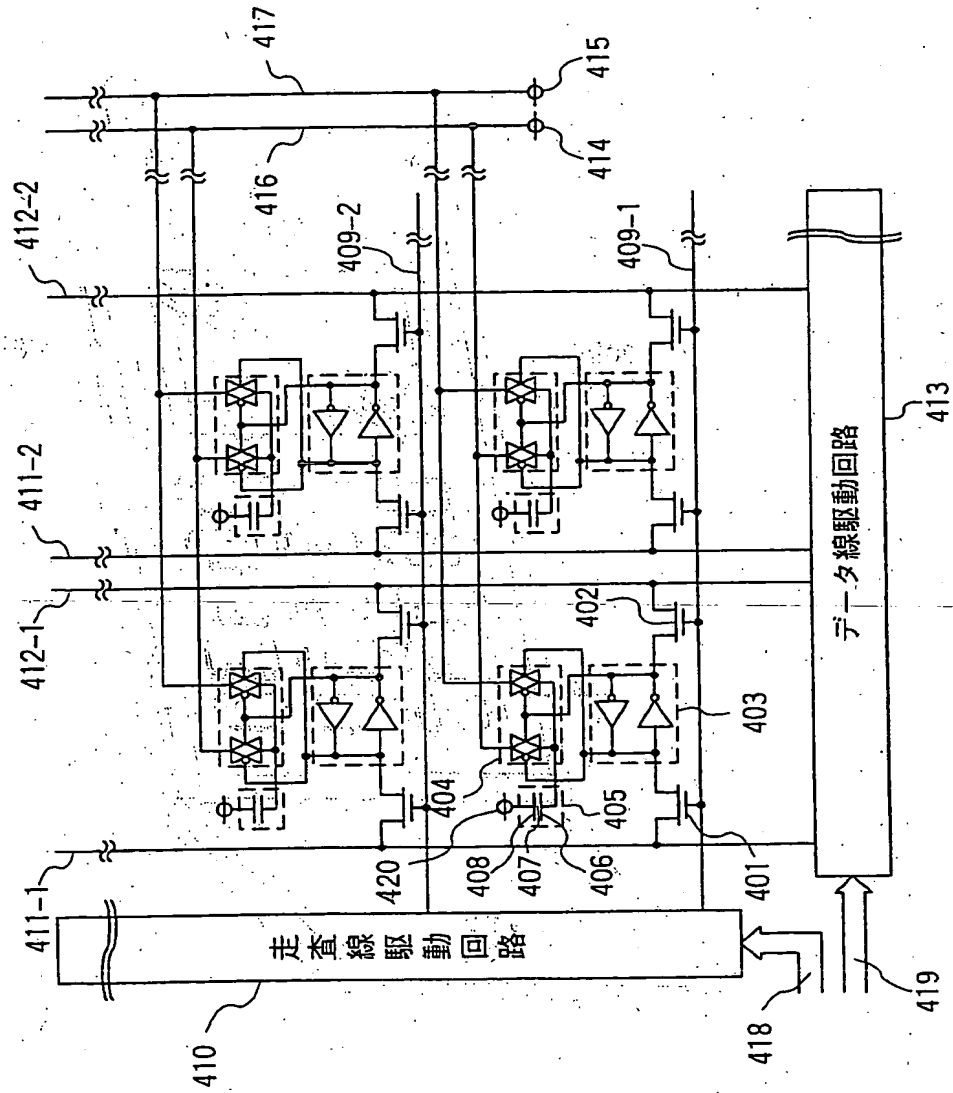
11/13

Fig. 11



12/13

Fig. 12



13/13

Fig. 13

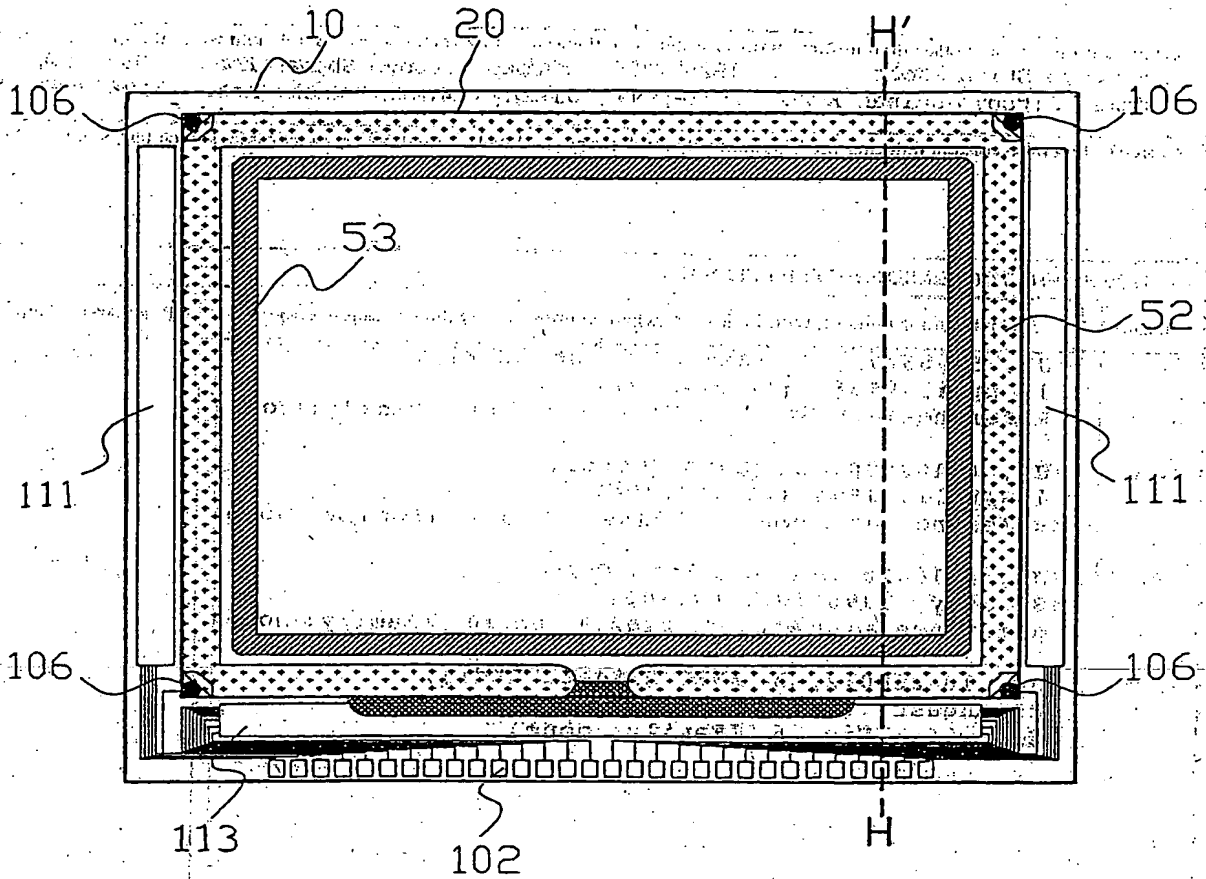
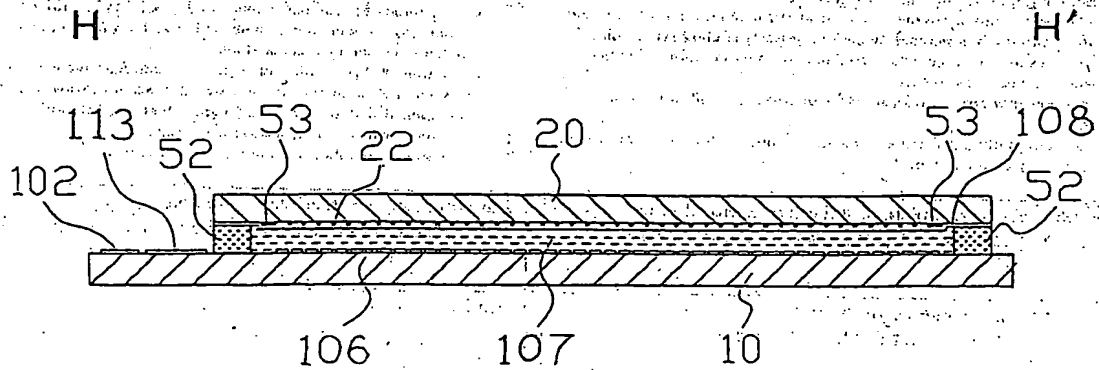


Fig. 14



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/04174

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁶ G09G3/36, G02F1/133

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁶ G09G3/36, G02F1/133

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-1999
 Kokai Jitsuyo Shinan Koho 1971-1999 Jitsuyo Shinan Toroku Koho 1996-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 59-65879, A (Suwa Seikosha K.K.), 14 April, 1984 (14. 04. 99), Reference as a whole ; Figs. 3 to 13 (Family: none)	1-8
A	JP, 6-102530, A (Sharp Corp.), 15 April, 1994 (15. 04. 94), Reference as a whole ; Figs. 1 to 5 (Family: none)	1-8
A	JP, 8-194205, A (Toshiba Corp.), 30 July, 1996 (30. 07. 96), Reference as a whole ; Figs. 1 to 10 (Family: none)	1-8
P, A	JP, 10-228012, A (NEC Niigata Ltd.), 25 August, 1998 (25. 08. 98), Claim 6 ; Fig. 6 (Family: none)	1-8

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
4 October, 1999 (04. 10. 99)Date of mailing of the international search report
19 October, 1999 (19. 10. 99)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

国際調査報告

国際出願番号 PCT/J P 99/04174

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. ° G 0 9 G 3 / 3 6, G 0 2 F 1 / 1 3 3

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. ° G 0 9 G 3 / 3 6, G 0 2 F 1 / 1 3 3

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
 日本国公開実用新案公報 1971-1999年
 日本国登録実用新案公報 1994-1999年
 日本国実用新案登録公報 1996-1999年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J.P., 59-65879, A (株式会社諏訪精工舎) 14. 4月. 1984 (14. 04. 99) 明細書全体、第3図~第13図 (ファミリーなし)	1-8
A	J.P., 6-102530, A (シャープ株式会社) 15. 4月. 1994 (15. 04. 94) 明細書全体、図1~図5 (ファミリーなし)	1-8
A	J.P., 8-194205, A (株式会社東芝) 30. 7月. 1996 (30. 07. 96) 明細書全体、図1~図10 (ファミリーなし)	1-8

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

04. 10. 99

国際調査報告の発送日

19.10.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号 100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小川 浩史

2 G

9114

電話番号 03-3581-1101 内線 3226

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
P, A	J P, 10-228012, A (新潟日本電気株式会社) 25. 8月. 1998 (25. 08. 98) 請求項6、図6 (ファミリーなし)	1-8